



PATENT ABSTRACTS OF JAPAN

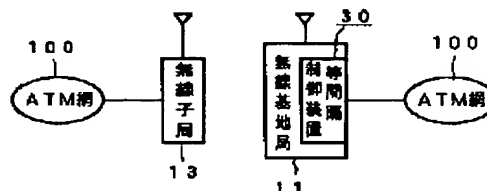
(11) Publication number: **09294124 A**(43) Date of publication of application: **11.11.97**

(51) Int. Cl. **H04L 12/28**
H04Q 7/38
H04J 3/00
H04L 7/08
H04Q 3/00

(21) Application number: **08103093**(71) Applicant: **FUJITSU LTD**(22) Date of filing: **25.04.96**(72) Inventor: **TANAHASHI KATSUHIKO****(54) RADIO SYSTEM DEALING WITH ATM NETWORK****(57) Abstract:**

PROBLEM TO BE SOLVED: To provide the radio system handling an asynchronous transfer mode(ATM) network by which fluctuation (CDV) of a reception ATM cell affected by transmission in a radio block is suppressed.

SOLUTION: In this radio system, a radio slave station 13 and a radio base station 11 conducting radio transmission by a frame with an assigned burst are interposed in a path of ATM networks 100 sending an ATM cell. In this case, the radio base station 11 is provided with an equal interval controller 30 in which fixed bit rate call data are arranged at an equal periodic interval depending on a line speed of the call data according to a quotient resulting from dividing one frame period by a burst assigned number. Then deviation in the arrangement of reception call data resulting from the arrangement of the call data due to burst assignment of the radio frame, that is, CDV is prevented by selecting the arrangement period interval of the reception call data to be equal.



Duplicate

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-294124

(43) 公開日 平成9年(1997)11月11日

(51) Int.Cl. ⁹	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/28		9466-5K	H 0 4 L 11/20	D
H 0 4 Q 7/38			H 0 4 J 3/00	A
H 0 4 J 3/00			H 0 4 L 7/08	Z
H 0 4 L 7/08			H 0 4 Q 3/00	
H 0 4 Q 3/00			H 0 4 B 7/26	1 0 9 N
審査請求 未請求 請求項の数4 O L (全 8 頁)				

(21) 出願番号 特願平8-103093

(22) 出願日 平成8年(1996)4月25日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 棚橋 勝彦

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 松本 昂

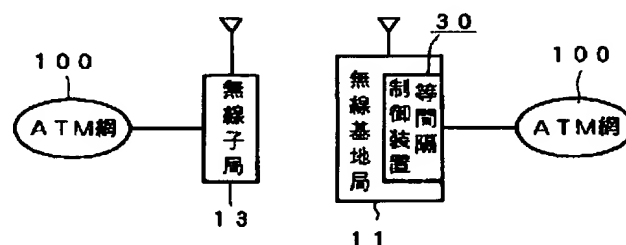
(54) 【発明の名称】 ATM網対応型無線システム

(57) 【要約】

【課題】 本発明は無線区間での伝送が影響する受信ATMセルの揺らぎ(CDV)を抑制することができるATM網対応型無線システムを提供することを目的とする。

【解決手段】 ATMセルを送信するATM網100の経路の一部にバースト割当が行われたフレームによる無線伝送を行う無線子局13と無線基地局11とを介装したATM網対応型無線システムにあって、無線基地局11に、無線子局13から送信されてきたATMセルに対応する固定ビットレート呼データを、呼データの回線速度に応じて1フレーム周期をバースト割当数で除した値の周期間隔とする等間隔制御装置30を具備し、受信呼データの配置間隔を等間隔とすることによって、無線フレームのバースト割当による呼データの配置が起因する受信呼データの配置ズレ、即ちCDVを防止できるように構成する。

本発明の原理図



Duplicate

【特許請求の範囲】

【請求項1】 ATMセルを伝送するATM網にバースト割当が行われたフレームによる無線伝送を行う無線子局と無線基地局とを介装したATM網対応型無線システムにおいて、

前記無線基地局又は前記無線子局に、
前記無線子局又は前記無線基地局から送信されてきた前記ATMセルに対応する固定ビットレートの呼データを、この呼データの回線速度に応じて1フレーム周期をバースト割当数で除した値の周期間隔とする等間隔制御装置を具備したことを特徴とするATM網対応型無線システム。

【請求項2】 前記等間隔制御装置が、
前記呼データのバースト番号に対応付けられた記憶領域を有し、該記憶領域に等間隔アドレスが記憶される等間隔アドレステーブルと、
該等間隔アドレスに対応するアドレスの記憶領域に、該等間隔アドレスの記憶領域に対応付けられたバースト番号の受信呼データが記憶される等間隔バッファ手段と、
該受信呼データの回線速度に応じて1フレーム周期をバースト割当数で除した値の間隔の等間隔アドレスを、該等間隔アドレステーブルの該受信呼データと同一のバースト番号に対応付けられた記憶領域に書き込んで記憶する書込制御手段とを具備し、
前記等間隔アドレステーブルが受信バースト番号と同一のバースト番号の記憶領域の等間隔アドレスを出力し、この出力等間隔アドレスの記憶領域に対応付けられたバースト番号の受信呼データを、前記等間隔バッファ手段の該出力等間隔アドレスに対応するアドレスの記憶領域に記憶し、この記憶受信呼データをアドレス順に巡回して読み出すことを特徴とする請求項1記載のATM網対応型無線システム。

【請求項3】 前記書込制御手段が、
前記等間隔アドレスを前記等間隔アドレステーブルに書き込む際に、異なる回線速度の呼データ毎の等間隔アドレスが同一記憶領域に記憶されないように制御することを特徴とする請求項2記載のATM網対応型無線システム。

【請求項4】 前記等間隔制御装置が、
前記受信呼データが前記固定ビットレート及びバリエابلビットレートの何れであるかを判断する呼種類判断手段と、
該バリエابلビットレートの呼データを順次記憶するATM化バッファ手段と、
該判断が固定ビットレートであれば該受信呼データを前記等間隔バッファ手段へ、該バリエابلビットレートであれば該ATM化バッファ手段へ分配する分配手段と、
該等間隔バッファ手段の出力呼データと、該ATM化バッファ手段の出力呼データとが同一タイミングの場合に何れかの呼データをずらす合成手段とを具備することを

特徴とする請求項3記載のATM網対応型無線システム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はATM(Asynchronous Transfer Mode)網の加入者通信区間を無線で通信するためのATM網対応型無線システムに関する。

【0002】近年のマルチメディアの発展に伴い、利用者に要求されるニーズが音声通信からより高速表示が可能な画像通信等に移行しつつある。また、移動通信の発展に伴い、パソコン等の端末機の移動性の確保はユーザーに強く要求されるものであり、このような要求の実現で従来とは異なった新規な市場が開拓されつつある。

【0003】このような通信の高速化と移動性を兼ね備えた通信手段として、ATM網の加入者通信区間を無線通信化する案が非常に有効である。しかし、無線通信の場合、その周波数資源に限りがあるため、ATM網のように高速回線をATMセル(以下セルとよぶ)の生起に任せて使用するような無駄は許されない。このため、回線を低速にして無線周波数帯域の削減を図り、TDMA(Time Division Multiple Access)化して回線速度に応じてスロットを割り当てるなど、帯域の有効利用を図る必要がある。このような無線区間に要求されるフレーム／スロット割当ては従来のSTM(Synchronous Transfer Mode)方式の概念であり、ATM網に無線を移植するにはATM-STM変換が容易でない。このような難解な技術を解消してATM網に無線を導入することが可能なシステムが要望されている。

【0004】

【従来の技術】最初に図9に既存のATM網に送信端末機及び受信端末機を接続した場合の構成を示し、その説明を行う。

【0005】図9において、符号1は送信端末機、2、3はATM交換機を含むATMノード、4は受信端末機である。各ATMノード2、3は、多数の光ファイバ5で接続され、また送信端末機1はATMノード2にATM網接続用のユーザーネットワークインタフェースである光ファイバ6で接続され、受信端末機4はATMノード3にユーザーネットワークインタフェースである光ファイバ7で接続されている。また、各ATMノード2、3が多数の光ファイバ5で接続された構成がATM網である。

【0006】このような構成のATM網においてはフレーム／スロットの概念が無いため、送信端末機1及び受信端末機4間において通信の要求が発生する都度、生起データをセル化して伝送するようになっている。

【0007】送信端末機1から送信されたセル、例えば図10に「A」、「B」、「C」、「D」で示すセルは、ATM網の中でセルヘッダのアドレスによって行き先を区別され、非同期に伝送されて行くが、非同期であ

るためその過程で他のセルとの衝突を避けるために待ち合わせバッファが挿入される場合がある。

【0008】このため、ATM網の伝送時間はセル毎に異なってくる。図10に示す例では、セルA、Dは受信端末機4に時刻 t_1 、 t_2 で示すように正規の伝送時間で伝送されているが、セルBは本来 t_2 で伝送されるはずが t_3 で伝送され、セルCは t_4 で伝送されるはずが t_5 で伝送される。このようなATM網内のセル遅延時間をCDV(セルディレイバリュウ)と言う。

【0009】ATM網で扱う通信呼データ(以降、呼データを単に呼と呼ぶ)にはパケット転送のような可変ビットレートと呼と、音声/画像伝送のような固定ビットレートのものがある。CDVに関しては、パケット転送では影響が無いが、固定ビットレートのは例えば図10に周期 t で示すように一定周期でセルの到達を期待している。このためセルB、Cに例を示したCDV分の揺らぎを吸収するバッファが受信端末機4に設けられている。そのバッファによってATM網で発生するセルの揺らぎは一定量(例えば1ms)以下に抑えられている。

【0010】このような構成のATM網システムに無線区間を導入した従来のATM網対応型無線システムの構成を図11に示し、その説明を行う。但し、図11において図9の各部に対応する部分には同一符号を付し、その説明を省略する。

【0011】図11において、11は無線基地局、12、13は無線子局、14は他の送信端末機である。無線基地局11は、光ファイバ15によってATMノード2に接続され、また、無線子局12には光ファイバ16によって送信端末機14が任意に接続され、無線子局13には光ファイバ17によって送信端末機1が任意に接続されるようになっている。

【0012】このような構成において、図12に示すように送信端末機1、14から送信されるセルA~Dを用いた固定ビットレート呼を、例えば矢印区間で示す周期TのTDMAフレーム(無線フレーム)の2スロット、即ち符号19と20で示すバースト信号AとB、符号21と22で示すバースト信号CとDに割当てをして無線子局12、13から送信するようになっている。この例ではTDMAフレーム内の前半の2スロットに各セルが割り当てられるようになっている。

【0013】このようなTDMAフレームを無線基地局11で受信し、この受信順序のまま読み出しを行っている。

【0014】

【発明が解決しようとする課題】ところで、上述した従来のATM網対応型無線システムにおいては、上述したように無線基地局11で受信され、ATMノード2へ出力されるセルの間隔は、無線区間のスロット配置に対応するので、図12に符号23、24で示すように不均等

となり、例えば本来符号25で示す位置で受信される符号24で示すセルBにおいては大きな揺らぎ(CDV)が生じる。

【0015】即ち、セルの揺らぎは無線フレーム上のスロットの割当て位置を反映しており、無線フレームの端に集中して割当てされた場合には最悪値はTDMAフレーム周期Tに近いものとなる。

【0016】TDMAフレーム周期Tを短くすれば、揺らぎを抑えることができるが、周期の短縮化はスロット当たりの回線速度が速くなり、割り当てられるスロット数が減少してしまうので有効手段とは言えない。

【0017】このように従来のATM網対応型無線システムにおいては無線フレームでのスロット配置がそのまま受信セルの位置に影響を与えるため、揺らぎが大きくなる問題があった。

【0018】本発明は、このような点に鑑みてなされたものであり、無線区間での伝送が影響する受信ATMセルの揺らぎ(CDV)を抑制することができるATM網対応型無線システムを提供することを目的としている。

20 【0019】

【課題を解決するための手段】図1に本発明の原理図を示す。この図1に示すATM網対応型無線システムは、ATMセルを伝送するATM網100にバースト割当てが行われたフレームによる無線伝送を行う無線子局13と無線基地局11とを介装したものであり、本発明の特徴は無線基地局11に、無線子局13から送信されてきたATMセルに対応する固定ビットレート呼データを、呼データの回線速度に応じて1フレーム周期をバースト割当て数で除した値の周期間隔とする等間隔制御装置30を具備して構成したことにある。

30 【0020】このような構成によれば、受信呼データの配置間隔を等間隔とすることができるので、無線フレームのバースト割当てによる呼データの配置が起因する受信呼データの配置ズレ、即ち揺らぎ(CDV)を防止することができる。

【0021】

【発明の実施の形態】以下、図面を参照して本発明の一実施の形態について説明する。図2は本発明の一実施形態によるATM網対応型無線システムのブロック構成図である。この図に示す一実施形態において図11に示した従来例の各部に対応する部分には同一符号を付し、その説明を省略する。

【0022】図2に示す一実施形態のATM網対応型無線システムが図11に示した従来例と異なる点は、無線基地局11に符号30で示す等間隔制御装置を設けたことにある。

50 【0023】等間隔制御装置30の構成を、図3の無線基地局11の内部ブロック構成図に示す。図3において、31はRF(Radio Frequency)部、32は変復調部、33はTDMA制御部、34はSTM化バッファ

部、35はATMインタフェース部であり、TDMA制御部33を除いては従来と同機能のものである。

【0024】TDMA制御部33は、等間隔制御装置30の構成要素の一部となる呼種類判断部37、書込制御部38及び等間隔アドレステーブル39を具備している。また等間隔制御装置30は、その他、分配部40と、ATM化バッファ部41と、等間隔バッファ部42と、合成部43とを具備して成る。

【0025】更に、等間隔バッファ部42は、図4に示すように、2面RAM45及びシリアルカウンタ46を具備して成る。図3に示すRF部31は、送信端末機1又は14から受信端末機4へ向かう上り方向において、受信信号を中間周波数帯に変換すると共に、その逆方向の送信信号を無線周波数帯に変換するものである。

【0026】変復調部32は、RF部31を介して受信された信号のデータへの復調を行うと共に、送信データの変調を行うものである。TDMA制御部33は、受信データの同期受信処理及び送信データのTDMAフレーム化送信処理を行うものである。STM化バッファ34は、ATMインタフェース部35を介してきたセルデータをバースト割当てに従って並べ替えを行うためのものである。

【0027】等間隔制御装置30は、TDMA制御部33での受信バーストデータを等間隔に配列してATMインタフェース部35へ出力するものである。以降、この等間隔制御装置30の詳細を、無線区間において、固定ビットレート回線で2ユーザの信号、バリアブルビットレート回線で1ユーザの信号が伝送されているものとして説明する。

【0028】図5の(a)に示す「A」～「F」が固定ビットレート回線の呼接続番号に相当するATMセルの宛て先情報を示すVCI(Virtual Channel Identifier)=1の信号(ここでは第1呼という)、「1」～「8」が第1呼と異なる回線速度を有するVCI=2の信号(第2呼という)、「X」がバリアブルビットレート回線のVCI=3の信号(第3呼という)である。

【0029】第1～第3呼は、最初のTDMAフレーム周期Tに、第1呼の「A」及び「B」、第2呼の「1」、「2」及び「3」、第3呼の「X」が、「A」、「B」、「X」、「1」、「2」、「X」、「3」の順で配列されている。

【0030】次のTDMAフレーム周期Tに、第1呼の「C」及び「D」、第2呼の「4」、「5」及び「6」、第3呼の「X」が、「C」、「D」、「X」、「4」、「5」、「X」、「6」の順で配列されており、その次のTDMAフレーム周期Tに、先頭から「E」、「F」、「7」、「8」…の順で配列されている。

【0031】このような配列の各呼が無線基地局11で受信され、TDMA制御部33へ入力される。TDMA

制御部33は、各呼を受け取ると、呼種類判断部37によって、それらの呼が固定ビットレートのものか、バリアブルビットレートのものかをVCIより判定し、呼の種類を示す呼種類信号50を分配部40へ出力する。

【0032】分配部40は、呼種類信号50に応じてTDMA制御部33から順次送られてくる呼(符号51, 52で示す)をATM化バッファ部41又は等間隔バッファ部42へ送出する。この内、バリアブルビットレート呼51は、順次ATM化バッファ部41に入力されて保持される。

【0033】一方、固定ビットレート呼(図4では受信DBデータ)52は、等間隔バッファ部42へ入力され、ここで順次入力される個々の呼を等間隔にする処理が施される。

【0034】この処理は、まずTDMA制御部33の図4に示す書込制御部38が、呼の固有番号である受信データバーストナンバー(受信DBNo)54に応じた等間隔アドレス55を等間隔アドレステーブル39に書き込む。

【0035】この書き込み制御は、最初に各々のTDMAフレーム区間における各固定ビットレート呼の回線速度に応じた種別、種別毎のスロット数及び受信DBNoを認識する。例えば図5の(a)に示した先頭のフレーム区間の各固定ビットレート呼においては、呼の種別が、第1呼「A」及び「B」と第2呼「1」、「2」及び「3」とであることが認識され、スロット数が、第1呼が2個、第3呼が3個であることが認識され、またDBNoが、「A」がDB1、「B」がDB2、「1」がDB4、「2」がDB5、「3」がDB7であることが認識される。

【0036】また、書込制御部38は、等間隔バッファ部42の2面RAM45に記憶される受信DBデータ52の記憶領域のアドレス数を認識している。アドレス数はTDMAフレーム周期Tに対応したものであり、ここではアドレス数が150であるとする。

【0037】ここで等間隔アドレステーブル39は、図6に示すように先のアドレス数に対応した数のDB1～DB150で示す受信DBNoに対応付けられたアドレス記憶領域を有している。

【0038】次に、書込制御部38は、TDMAフレーム周期(アドレス数) $T \div$ スロット数 n の計算を行うことによって受信DBデータ52を書き込む2面RAM45のアドレスを求める。

【0039】即ち、第1呼「A」及び「B」はスロット数が2なので、 $150 \div 2 = 75$ となり、 $T/2$ 周期のセル間隔となる。これによって書込制御部38は、図6に示すように、等間隔アドレステーブル39の呼「A」のDBNoであるDB1のアドレス記憶領域に、2面RAM45のアドレス番号に対応する等間隔アドレス1を書き込み、1に75を加算して得られる等間隔アドレス

76を「B」のDBNであるDB2のアドレス記憶領域に書き込む。

【0040】第2呼「1」、「2」及び「3」はスロット数が3なので、 $150 \div 3 = 50$ の計算結果から、等間隔アドレステーブル39の「1」のDBNであるDB4のアドレス記憶領域にアドレス3を書き込み、3に50を加算して得られる53を「2」のDBNであるDB5のアドレス記憶領域に書き込み、53に50を加算して得られる103を「3」のDBNであるDB7のアドレス記憶領域に書き込む。

【0041】このように等間隔アドレステーブル39に各等間隔アドレスが書き込まれた後、図7に符号60で示す受信DBN54のDB1がテーブル39に入力されると、テーブル39のDB1に対応付けられた符号61で示す等間隔アドレス1が読みだされて2面RAM45へ入力され、この入力アドレス1の2面RAM45の記憶領域に受信DBデータ52のDB1に対応する呼「A」が書き込まれて記憶される。

【0042】以降順次、符号62で示すDB2に対応付けられた符号63で示す等間隔アドレス76が読みだされ、このアドレス76の2面RAM45の記憶領域にDB2に対応する呼「B」が書き込まれ、符号64で示すDB4に対応付けられた符号64で示す等間隔アドレス3が読みだされ、このアドレス3の2面RAM45の記憶領域にDB4に対応する呼「1」が書き込まれ、符号66で示すDB5に対応付けられた符号67で示す等間隔アドレス53が読みだされ、このアドレス53の2面RAM45の記憶領域にDB5に対応する呼「2」が書き込まれ、符号68で示すDB7に対応付けられた符号69で示す等間隔アドレス69が読みだされ、このアドレス69の2面RAM45の記憶領域にDB7に対応する呼「3」が書き込まれる。

【0043】このように2面RAM45に固定ビットレート呼が記憶されると、図4に示すシリアルカウンタ46が、カウント動作により1から順にインクリメントされるシリアルアドレス70を2面RAM45へ出力することによって、記憶された受信DBデータ52、即ち固定ビットレートを図7に符号72〜76で示すように順次読み出す。

【0044】また、シリアルカウンタ46は、TDMAフレーム周期Tに対応する間隔でリセットがかかるようになっており、これによって1〜150までのシリアルアドレスを繰り返し出力するようになっている。またシリアルアドレスは図3に示したATMインタフェース部35と同期したクロック信号を用いたものである。

【0045】2面RAM45から読みだされる各呼は、第1呼であれば、図5(b)に示すようにT/2周期間隔、第2呼であれば(c)に示すようにT/3周期間隔で読みだされる。第3呼は、バリエブルビットレート呼なので前述したようにATM化バッファ部41から

(d)に示すように受信後そのまま読みだされる。

【0046】このように読みだされた各呼は、図2に示す合成部43へ入力され、ここで例えば図5に符号77及び78で示すように固定ビットレート呼「3」が、バリエブルビットレート呼「X」と同一タイミングで入力された場合は、符号79及び80で示すように固定ビットレート呼「3」の直後にバリエブルビットレート呼「X」が配置されるようにATMインタフェース部35へ出力する制御が行われる。

10 【0047】従って、ATMインタフェース部35から図2に示すATMノード2へは、図5(e)に示すように各呼「A」、「1」、「X」…が出力されることになる。

【0048】最後に、前述した書込制御部38が、T÷nによって求めた等間隔アドレスを等間隔アドレステーブル39に設定する際のアルゴリズムを図8を参照して説明する。

【0049】最初に、図6に示すテーブル39に、前述同様、最初に先頭TDMAフレーム区間の第1呼を記憶する場合に、呼「A」のDB1に対応する記憶領域に、
20 150÷2=75の演算を行うことによりまず等間隔アドレス1を記憶し、次に「B」のDB2に対応する記憶領域に等間隔アドレス76を記憶したとする。

【0050】この場合、図8(a)に示すように、前述の説明から明らかなように2面RAM45のアドレス1に「A」がアドレス76に「B」が記憶される。次に、第2呼を記憶する場合に、呼「1」のDB4に対応する記憶領域に、150÷3=50の演算を行うことにより
30 まず等間隔アドレス1を記憶し、次に「2」のDB5に対応する記憶領域に等間隔アドレス51を記憶し、次に「3」のDB7に対応する記憶領域に等間隔アドレス101を記憶したとする。

【0051】この場合、図8(b)に示すように、2面RAM45のアドレス1に「A」と「1」とが記憶される第1の衝突状態が生じることになる。また、同様に第2呼を記憶する場合に、他のケースとして、呼「1」のDB4記憶領域に、まだ未使用の適当な等間隔アドレス16を記憶し、次に「2」のDB5記憶領域に等間隔アドレス76を記憶し、次に「3」のDB7に対応する記憶領域に等間隔アドレス126を記憶したとする。

【0052】この場合、図8(c)に示すように、2面RAM45のアドレス16に「A」と「2」とが記憶される第2の衝突状態が生じることになる。従って、等間隔アドレステーブル39に等間隔アドレスを書き込んで記憶する場合は、第1及び第2の衝突状態のような衝突が生じないように、例えば図8(d)に示すように各呼が2面RAM45に記憶されるように、書込制御部38が等間隔アドレス書き込み制御を行うようになっている。

50 【0053】以上説明した実施形態によれば、ATM網

にSTMの概念を持つ異種ネットワークを組み込んだ場合に発生する固定ビットレート接続のCDVレス化を実現することが可能となる。

【0054】既存のATM網で用意される端末機のCDV乗換えバッファ量の機能と相互関係を保持しながら、無線加入者網を組み込むことができ、移動性のある高速回線ネットワークを実現することが可能となる。

【0055】

【発明の効果】以上説明したように、本発明によれば、無線区間での伝送が影響する受信ATMセルの揺らぎ(CDV)をほぼ無くすことのできる効果がある。

【図面の簡単な説明】

【図1】本発明の原理図である。

【図2】本発明の一実施形態によるATM網対応型無線システムのブロック構成図である。

【図3】図2に示す無線基地局内部のブロック構成図である。

【図4】図3に示すTDMA制御部の本発明の特徴要素 *

* 及び等間隔バッファ部内部を示すブロック構成図である。

【図5】一実施形態の動作を説明するための図である。

【図6】等間隔アドレステーブル図である。

【図7】等間隔バッファ部の動作を説明するための図である。

【図8】等間隔アドレス設定アルゴリズムを説明するための図である。

【図9】既存のATM網のブロック構成図である。

10 【図10】図9の動作説明図である。

【図11】従来のATM網対応型無線システムのブロック構成図である。

【図12】図11の動作説明図である。

【符号の説明】

11 無線基地局

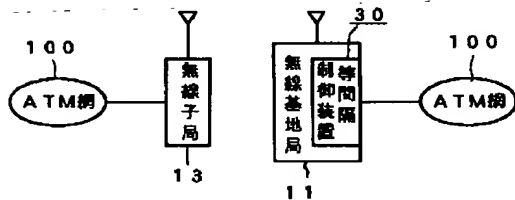
13 無線子局

30 等間隔制御装置

100 ATM網

【図1】

本発明の原理図



【図6】

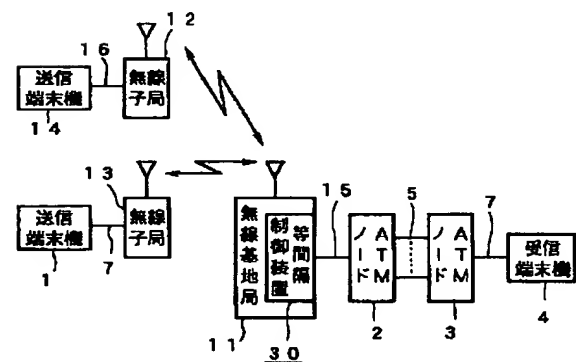
等間隔アドレステーブル図

39

DB1	アドレス	1
2		76
3		—
4		3
5		53
6		—
7		103

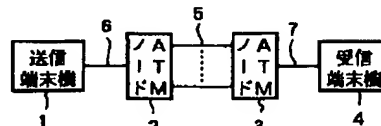
【図2】

一実施形態図



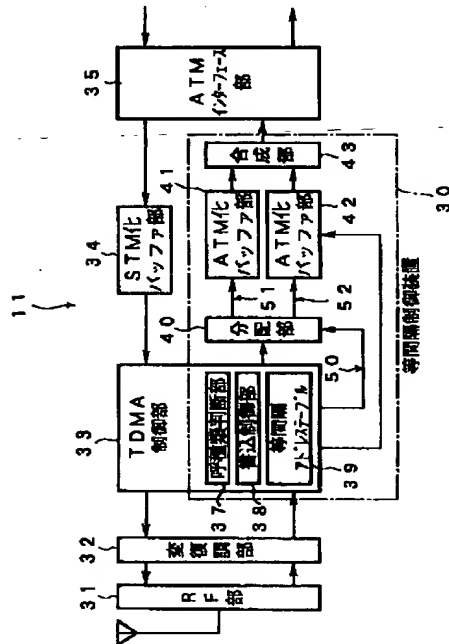
【図9】

既存ATM網構成図



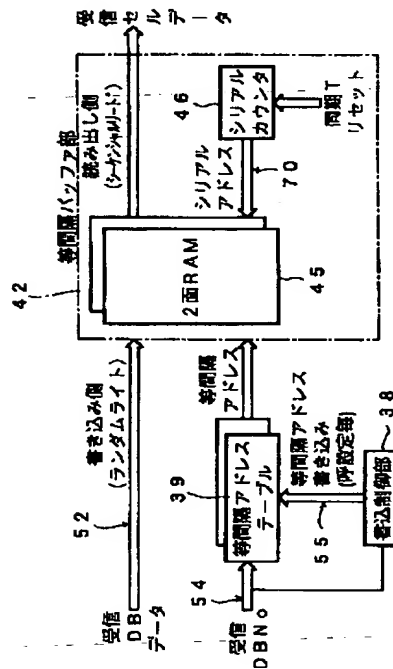
【図3】

図2に示す無線基地局内部ブロック構成図



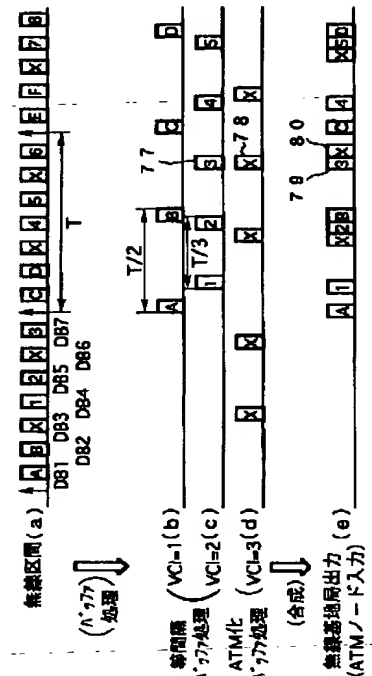
【図4】

図3に示すTDMA制御部の特徴要素及び等間隔バッファ内部を示すブロック構成図



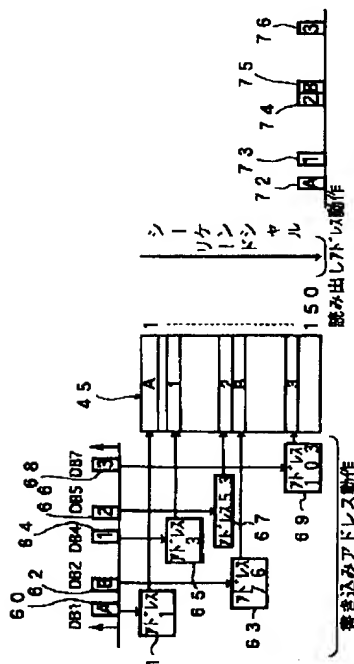
【図5】

実施形態動作説明図



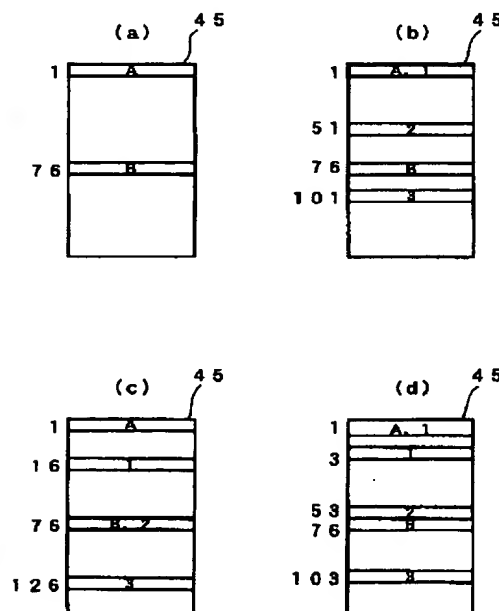
【図7】

等間隔バッファ部動作説明図



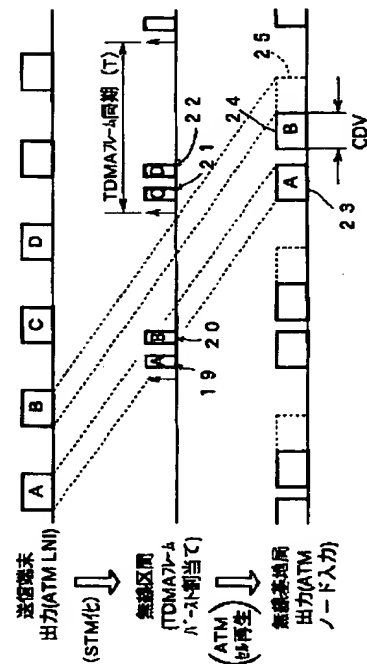
【図8】

等間隔アドレス設定アルゴリズム説明図



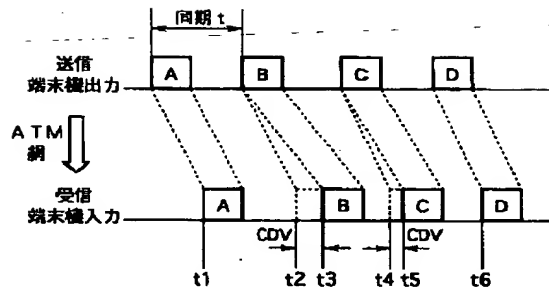
【図12】

図11の動作説明図



【図10】

図9の動作説明図



【図11】

従来のATM網対応型無線システム図

